

Rechnerarchitektur im Sommersemester 2019

Übungsblatt 10

Abgabetermin: 08.07.2019, 12:00 Uhr

Besprechung: Besprechung der T-Aufgaben in den Tutorien vom 01. – 05. Juli 2019
Besprechung der H-Aufgaben in den Tutorien vom 08. – 12. Juli 2019

Aufgabe 50: (T) Latches

(– Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Latches:

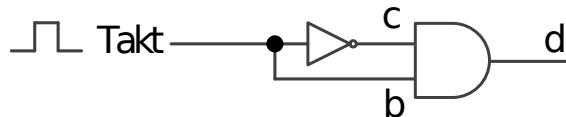
- Was ist die primäre Eigenschaft von Latch-Schaltungen, aufgrund derer sie für den Einsatz in digitalen Schaltungen von Bedeutung sind?
- Zeichnen Sie das Schaltnetz eines getakteten SR-Latch. Verwenden Sie dabei ausschließlich Bausteine vom Typ AND, OR, NOR und NOT.

Aufgabe 51: (T) Flip-Flops

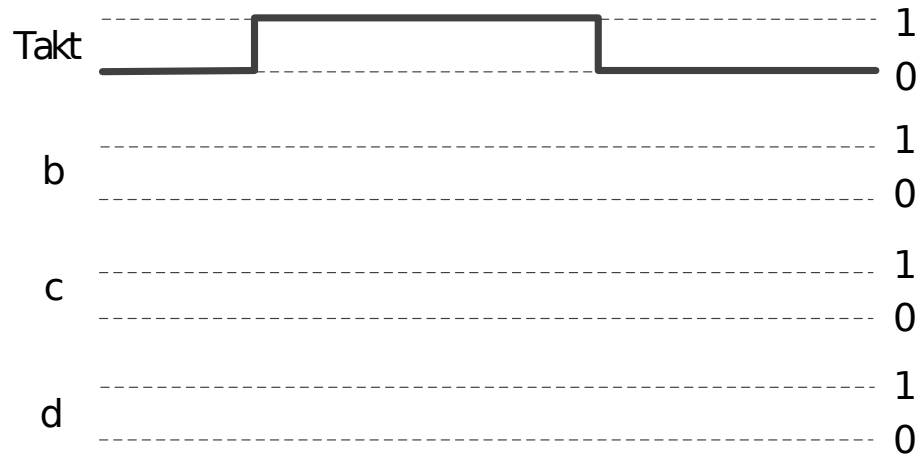
(– Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Flip-Flops:

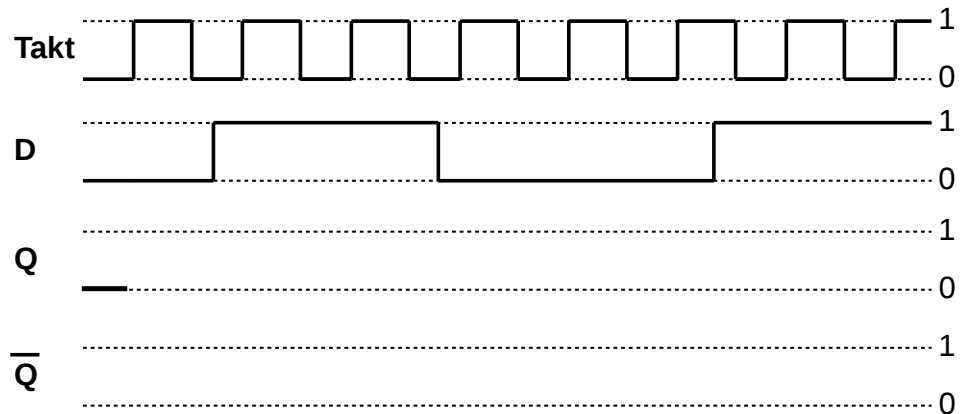
- Gegeben sei folgendes Schaltnetz, welches einen Impulsgenerator realisiert, der aus Taktflanken kurze Impulse erzeugt:



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichnetem Takt. Gehen Sie davon aus, dass das AND-Gatter keine Verzögerung verursacht und das NOT-Gatter eine nicht vernachlässigbare Verzögerung verursacht, deren Auswirkungen im Impulsdiagramm deutlich werden müssen:



- b. Gegeben sei das nachfolgende Impulsdiagramm eines D-Flip-Flops mit dem Taktgeber aus der vorherigen Teilaufgabe a. Vervollständigen Sie das folgende Impulsdiagramm für die Ausgänge Q und \bar{Q} unter der Annahme, dass der Baustein ohne Zeitverzögerung schaltet:



Aufgabe 52: (H) Latch- bzw. Flip-Flop-Schaltungen

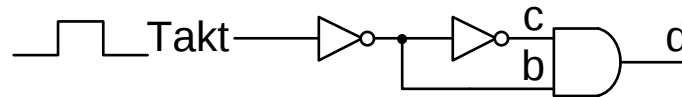
(11 Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Schaltwerke:

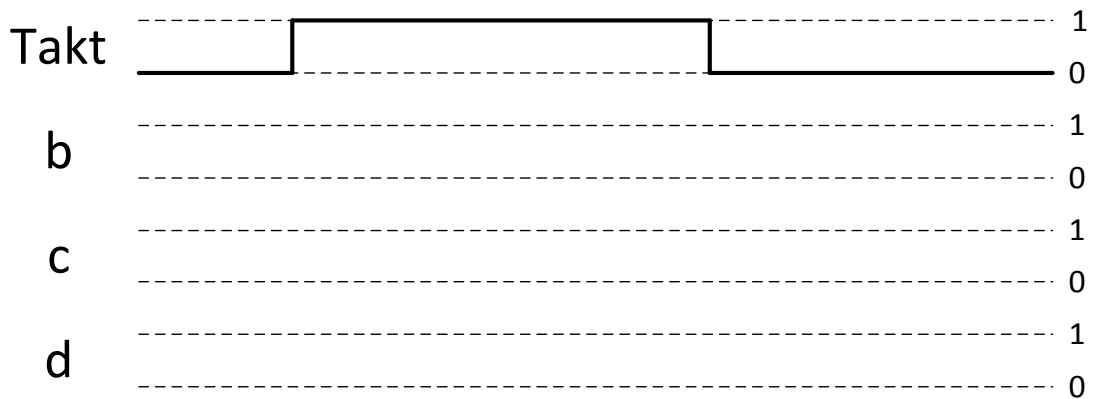
- a. Zeichnen Sie das Schaltnetz eines getakteten SR-Latch, indem Sie folgende Vorlage ergänzen. Verwenden Sie dabei ausschließlich **NOR-Gatter** und Leitungen.



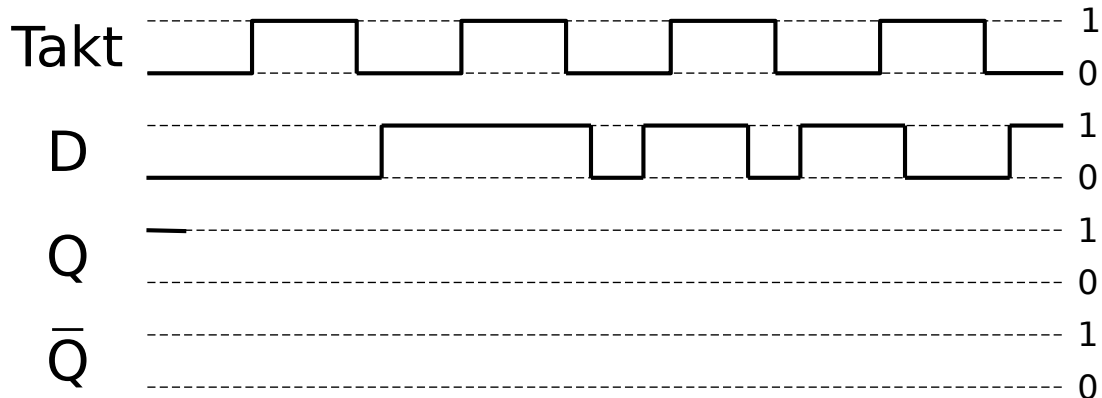
- b. Gegeben sei folgendes Schaltnetz eines Impulsgenerators.



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichneten Takt. Dabei verursacht jedes Gatter eine kurze aber nicht vernachlässigbare Verzögerung des Signals. Insbesondere ist die Verzögerung der NOT-Gatter größer als die des AND-Gatters.



- c. Ergänzen Sie nun die folgende Vorlage zum Impulsdiagramm eines D-Flip-Flops mit dem Impulsgenerator aus der vorherigen Teilaufgabe b). Das D-Flip-Flop verfügt über die Ausgänge Q und \bar{Q} . Gehen Sie zur Vereinfachung davon aus, dass sich die Pegel von Q und \bar{Q} des Bausteins ohne Zeitverzögerung in Abhängigkeit vom Takt und dem Signal D ändern.



Aufgabe 53: (H) Einfachauswahlaufgabe: Speicherung

(5 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen („1 aus n“). Nennen Sie dazu in Ihrer Abgabe die jeweils ausgewählte Antwortnummer ((i), (ii), (iii) oder (iv)). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Welche Belegung der beiden Eingänge S (Set) und R (Reset) eines SR-Latch ist unzulässig?			
(i) $S = 0, R = 0$	(ii) $S = 1, R = 0$	(iii) $S = 1, R = 1$	(iv) $S = 0, R = 1$
b) Womit können die beiden NOR-Gatter eines SR-Latch ersetzt werden, um ebenfalls ein äquivalentes Verhalten eines 1-Bit-Speichers zu realisieren?			
(i) AND-Gatter	(ii) NAND-Gatter	(iii) NOT-Gatter	(iv) OR-Gatter
c) Eine Flip-Flop-Schaltung, die das Eingangssignal übernimmt, wenn der Taktgeber von 0 auf 1 übergeht bezeichnet man als...			
(i) flanken-gesteuert.	(ii) nicht gesteuert.	(iii) übersteuert.	(iv) pegelgesteuert.
d) Angenommen aus Kostengründen würden nur NAND-Gatter produziert werden. Wie kann damit die OR-Funktion ($a + b$) realisiert werden?			
(i) $(a \text{ NAND } b)$ NAND $(a \text{ NAND } b)$	(ii) $(a \text{ NAND } a)$ NAND $(b \text{ NAND } b)$	(iii) $a \text{ NAND } b$	(iv) $a \text{ NAND } a$
e) Welcher Speichertyp steht in der Speicherhierarchie oberhalb des Caches (d.h. der Zugriff drauf ist schneller als auf den Cache)?			
(i) Hintergrund-speicher	(ii) Bandlaufwerk	(iii) Arbeitsspeicher	(iv) Register