

Rechnerarchitektur im Sommersemester 2017

Übungsblatt 11

- Abgabetermin:** 17.07.2017, 12:00 Uhr
- Besprechung:** Besprechung der T-Aufgaben in den Tutorien vom 10. – 14. Juli 2017
Besprechung der H-Aufgaben in den Tutorien vom 17. – 21. Juli 2017
- Ankündigungen:** Bitte beachten Sie die Anmeldung zur Klausur! Die An- bzw. Abmeldung ist **bis 24. Juli 2016 um 10:00 Uhr** über UniWorX möglich (harte Deadline!). Spätere An- und Abmeldungen werden nicht mehr berücksichtigt!

Aufgabe 54: (T) Entwurf einer ALU

(– Pkt.)

In dieser Aufgabe soll schrittweise eine einfache 1-Bit ALU (Arithmetisch-logische Einheit) entworfen werden. Machen Sie sich hierfür zunächst mit der Funktionsweise der Halb- und Volladdierer vertraut.

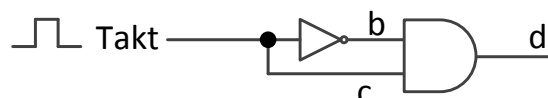
- Entwerfen Sie einen Halbaddierer, der in der Lage ist, zwei einstellige Dualzahlen zu addieren.
- Entwerfen Sie einen Volladdierer, der in der Lage ist, eine beliebige Stelle zweier n-stelliger Dualzahlen zu addieren.
- Entwerfen Sie nun eine einfache 1-Bit ALU, die den folgenden Spezifikationen genügt:
 - Operationen: AND, OR, Addition und Subtraktion.
 - Inputs: Operanden a und b, CarryIn (Übertrag aus einer vorgeschalteten ALU), gewisse Steuerleitungen (z.B. zur Auswahl des Typs der Operation).
 - Outputs: Resultat, CarryOut (Übertrag).

Aufgabe 55: (T) Schaltwerke

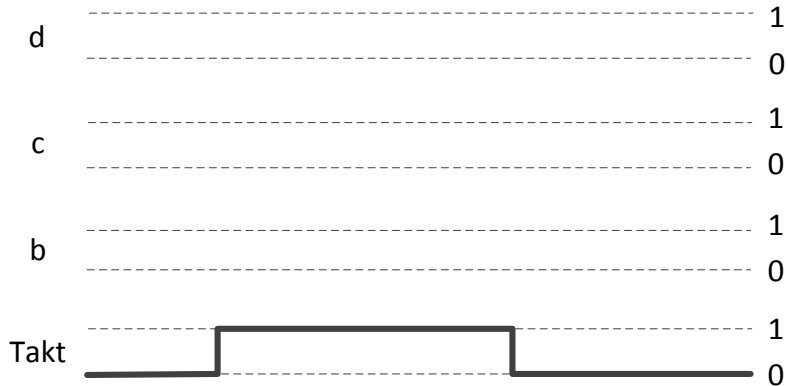
(– Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Schaltwerke:

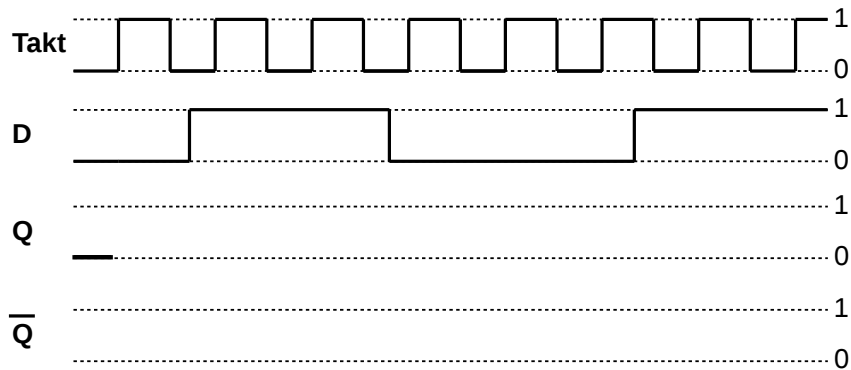
- Zeichnen Sie das Schaltnetz eines getakteten SR-Latch. Verwenden Sie dabei ausschließlich Bausteine vom Typ AND, OR, NOR und NOT.
- Gegeben sei folgendes Schaltnetz, welches einen Impulsgenerator realisiert, der aus Taktflanken kurze Impulse erzeugt:



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichnetem Takt. Gehen Sie davon aus, dass das AND-Gatter keine Verzögerung verursacht und das NOT-Gatter eine nicht vernachlässigbare Verzögerung verursacht, deren Auswirkungen im Impulsdiagramm deutlich werden müssen:



- c. Gegeben sei das nachfolgende Impulsdiagramm eines D-Flip-Flops mit dem Taktgeber aus der vorherigen Teilaufgabe b. Vervollständigen Sie das folgende Impulsdiagramm für die Ausgänge Q und \bar{Q} unter der Annahme, dass der Baustein ohne Zeitverzögerung schaltet:



Aufgabe 56: (H) Addiernetze in arithmetisch-logischen Einheiten
(11 Pkt.)

- Nehmen Sie einen Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$ an. Leiten Sie den logischen Ausdruck her, mit dem der ausgehende Übertrag U_{out} bereits vor Abarbeitung des Addiernetzes bestimmt werden kann. Bezeichnen Sie dabei die beiden eingehenden Binärzahlen als $x_2x_1x_0$ und $y_2y_1y_0$ und den eingehenden Übertrag als U_{in} .
- Zeichnen Sie das Schaltnetz für einen Carry-Look-Ahead-Addierer für eine Größe von Bit-Gruppen von $g = 3$. Vorkommende Volladdierer können dabei durch ihr entsprechendes Schaltsymbol dargestellt werden. Hierbei können Sie annehmen, dass AND-Gatter und OR-Gatter zur Verfügung stehen, die mehr als zwei Eingaben gleichzeitig verarbeiten können. Achten Sie darauf, die Verbindung von zwei Leitungen explizit zu kennzeichnen.

- c. Gehen Sie nun von der Addition zweier Dualzahlen der Länge 6-Bit aus. Berechnen Sie die Ausführungsdauer der Addition für Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$, d.h. es werden zwei Carry-Look-Ahead-Addierer aus den vorhergehenden Aufgabenteilen hintereinander geschaltet. Berechnen Sie zudem die Ausführungsdauer für ein angenommenes Ripple-Carry-Addiernetz, das zwei 6-stellige Dualzahlen addieren kann. Nehmen Sie hierbei an, dass ein Volladdierer eine Verzögerung von 70 psec, ein AND-Gatter und OR-Gatter jeweils eine Verzögerung von 10 psec verursachen. AND-Gatter und OR-Gatter mit mehr als zwei Eingängen sollen ebenfalls mit einer Verzögerung von 10 psec veranschlagt werden.

Aufgabe 57: (H) Einfachauswahlaufgabe: Zahlendarstellung (5 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen („1 aus n“). Nennen Sie dazu in Ihrer Abgabe die jeweils ausgewählte Antwortnummer ((i), (ii), (iii) oder (iv)). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Wie lautet das dezimale Ergebnis der Addition der folgenden in Zweierkomplementdarstellung gegebenen Binärzahlen?			
$\begin{array}{r l} & 10110001 \\ + & 00110100 \\ \hline \text{Übertrag} & \\ \hline \text{Ergebnis} & \end{array}$			
(i) -93	(ii) 67	(iii) 32	(iv) -27
b) Um wie viele Stellen verschiebt sich das Komma der normalisierten Mantisse einer 32 Bit IEEE 754 Gleitkommazahl, wenn der Exponent 10110011 lautet?			
(i) 3	(ii) 31	(iii) 52	(iv) 17
c) Durch welche der folgenden Booleschen Funktionen wird ein Halbaddierer mit den Eingängen x und y und den Ausgängen R (Resultat) und Ü (Übertrag) realisiert?			
(i) $R = xy + \bar{x}\bar{y}$ $\bar{U} = x + y$	(ii) $R = (\bar{x} + y) + (x + \bar{y})$ $\bar{U} = (\bar{x} + \bar{y})$	(iii) $R = xy$ $\bar{U} = \bar{x}\bar{y}$	(iv) $R = (\bar{x}y) + (x\bar{y})$ $\bar{U} = (\bar{x}\bar{y})$
d) Ein Volladdierer (Addition zweier Binärziffern und eines Übertrags) lässt sich mit...			
(i) ...zwei Halbaddierern und einem OR-Gatter realisieren.	(ii) ...zwei Halbaddierern realisieren.	(iii) ...zwei Halbaddierern und einem AND-Gatter realisieren.	(iv) ...zwei Halbaddierern und einem NOT-Gatter realisieren.
e) Wie bezeichnet man ein Addiernetz, bei welchem z.B. bei der Addition einer 8-stelligen Dualzahl die 4 höherwertigen Stellen der Input-Operanden zweimal addiert werden und zwar für den Fall, dass bei der Addition der niederwertigen Hälfte der Input-Operanden ein Übertrag auftritt oder nicht, um damit die Berechnungszeit der Gesamtaddition zu verkürzen?			
(i) Ripple-Carry	(ii) Carry-Select	(iii) Carry-Look-Ahead	(iv) Carry-Save