

Übungsblatt 10

Rechnerarchitektur im SS 22

Zu Modul M

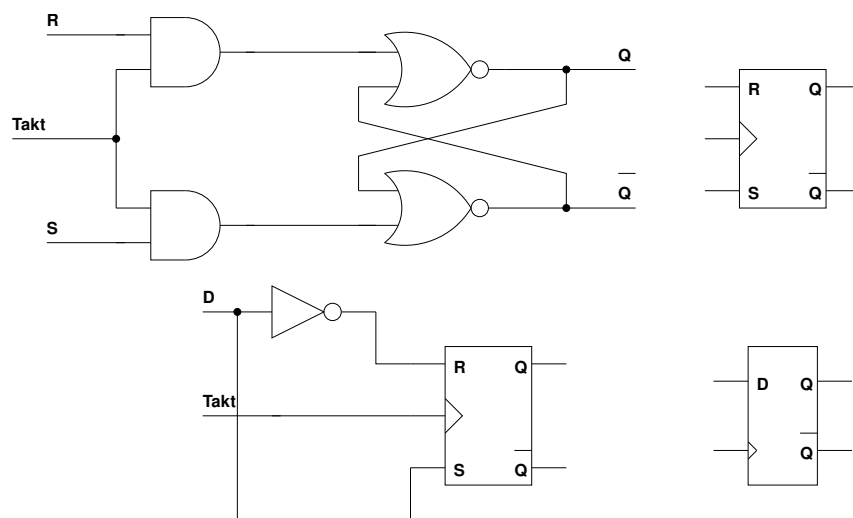
Abgabetermin: 10.07.2022, 18:00

Besprechung: T-Aufgaben: 04.07.22 - 08.07.22, H-Aufgaben: 11.07.22 - 15.07.22

Aufgabe 64: (T) Arbeitsweise von Latches

(- Pkt.)

Betrachten Sie die folgenden Schaltbilder eines RS- und eines D-Latches:



a. Machen Sie sich die Funktionsweise der Latches klar, indem Sie die Zustandstabellen aufstellen. Jede Tabelle soll folgendermaßen aufgebaut sein:

- Jede Spalte entspricht einem Ein- bzw. Ausgang. Ein RS-Latch zum Beispiel verfügt über die drei Eingänge S , R und C (Clock/Takt), sowie über die Ausgänge Q und \bar{Q} .
- Jede Zeile entspricht einem bestimmten Zustand des Latches, abhängig von den Signalen an den Eingängen.
- Mögliche Zustände sind: Set, Reset, Speichern und Kippen. Geben Sie hinter jeder Tabellenzeile an, welcher Zustand vorliegt. (Hinweis: Nicht alle Zustände kommen bei jedem Latch vor.)
- Kennzeichnen Sie unzulässige Zustände als solche.
- Verwenden Sie *Don't-Care-Argumente*, falls es keinen Unterschied für die Belegung der Ausgänge macht, ob an einem Eingang eine 0 oder 1 anliegt. Verwenden Sie zur Kennzeichnung solcher Belegungen in der Tabelle ein D .

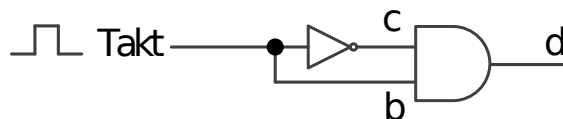
- Verwenden Sie die Notation Q^* , um den alten Wert von Q zu symbolisieren, falls dieser in diesem Zustand nicht explizit (0 oder 1) bekannt ist.
- b. Welchen Vorteil besitzt das D-Latch gegenüber dem RS-Latch?
- c. Welches Problem ergibt sich aber beim D-Latch im Hinblick auf das Speichern über mehrere Takte hinweg? Verdeutlichen Sie das Problem durch ein Impulsdiagramm, das die Verläufe der Signale D , C (Clock/Takt) und Q darstellt. Setzen Sie alle drei Signale anfangs auf 0, zeichnen Sie dann zunächst den Verlauf für das Taktsignal und führen Sie anschließend eine Set-Operation durch.

Aufgabe 65: (T) Flip-Flops

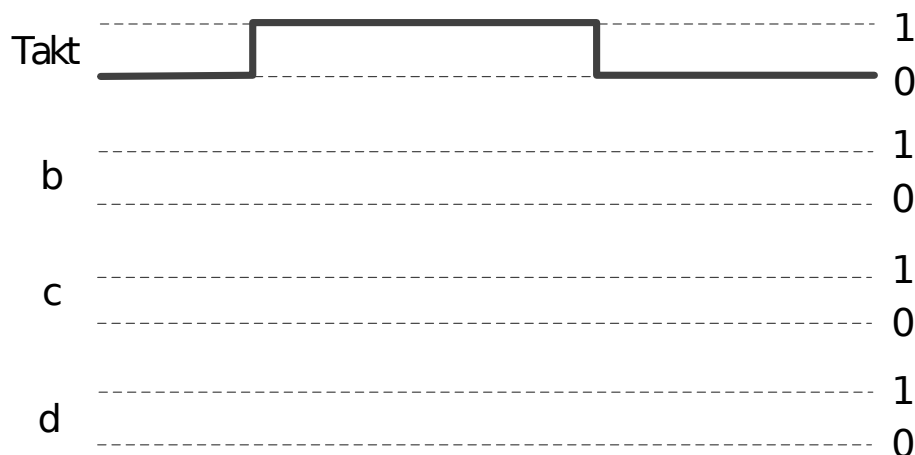
(- Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Flip-Flops:

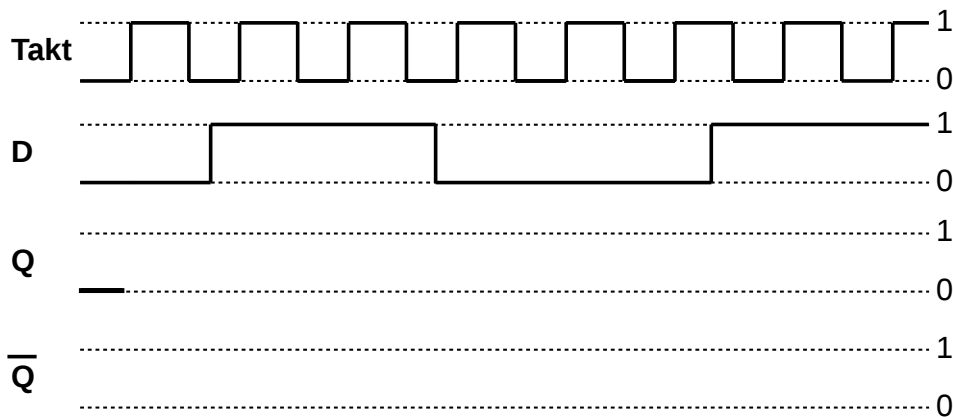
- a. Gegeben sei folgendes Schaltnetz, welches einen Impulsgenerator realisiert, der aus Taktflanken kurze Impulse erzeugt:



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b , c , d basierend auf dem eingezeichnetem Takt. Gehen Sie davon aus, dass das AND-Gatter keine Verzögerung verursacht und das NOT-Gatter eine nicht vernachlässigbare Verzögerung verursacht, deren Auswirkungen im Impulsdiagramm deutlich werden müssen:



- b. Gegeben sei das nachfolgende Impulsdiagramm eines D-Flip-Flops mit dem Taktgeber aus der vorherigen Teilaufgabe a. Vervollständigen Sie das folgende Impulsdiagramm für die Ausgänge Q und \bar{Q} unter der Annahme, dass der Baustein ohne Zeitverzögerung schaltet:



Aufgabe 66: (H) Latch- bzw. Flip-Flop-Schaltungen

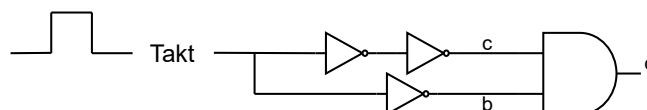
(11 Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Schaltwerke:

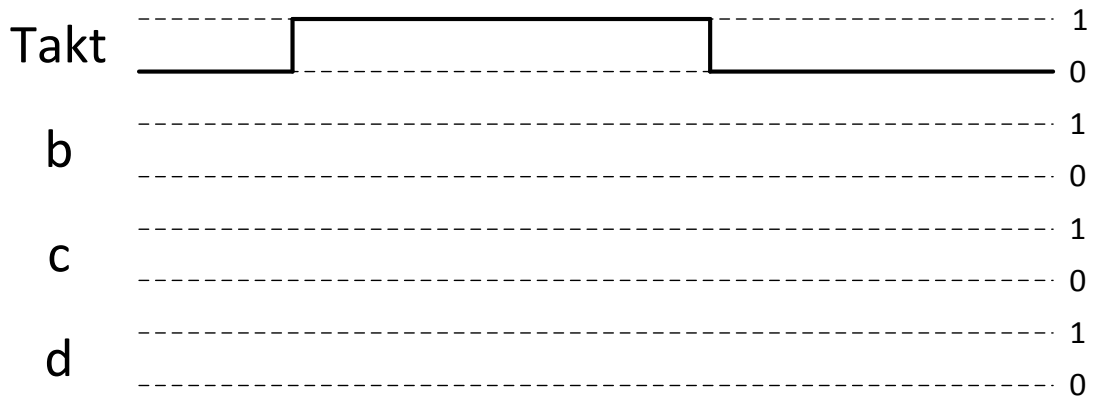
- Zeichnen Sie das Schaltnetz eines getakteten SR-Latch, indem Sie folgende Vorlage ergänzen. Verwenden Sie dabei ausschließlich **NOR-Gatter** und Leitungen.



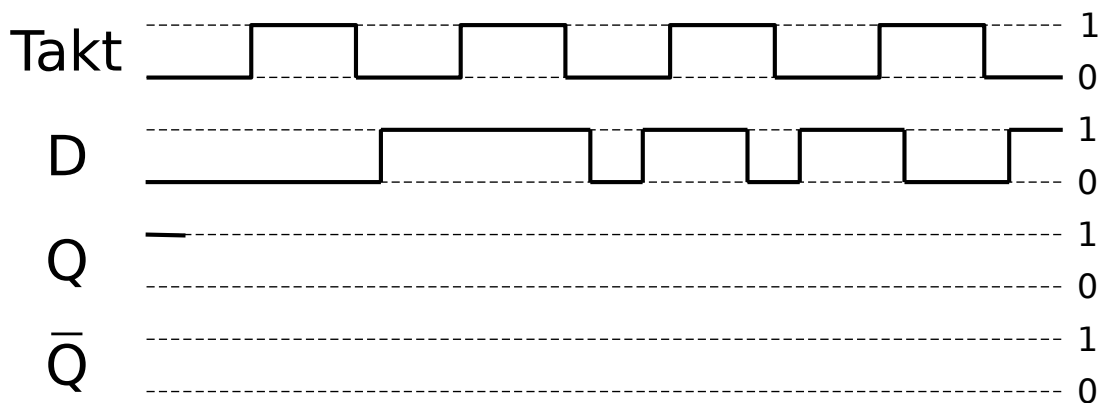
- Gegeben sei folgendes Schaltnetz eine Impulsgenerators.



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b , c , d basierend auf dem eingezeichneten Takt. Dabei verursacht jedes Gatter eine kurze aber nicht vernachlässigbare Verzögerung des Signals. Insbesondere ist die Verzögerung der NOT-Gatter größer als die des AND-Gatters.



- c. Ergänzen Sie nun die folgende Vorlage zum Impulsdiagramm eines D-Flip-Flops mit dem Impulsgenerator aus der vorherigen Teilaufgabe b). Das D-Flip-Flop verfügt über die Ausgänge Q und \bar{Q} . Gehen Sie zur Vereinfachung davon aus, dass sich die Pegel von Q und \bar{Q} des Bausteins ohne Zeitverzögerung in Abhängigkeit vom Takt und dem Signal D ändern.



Aufgabe 67: (H) Latch-Schaltungen

(6 Pkt.)

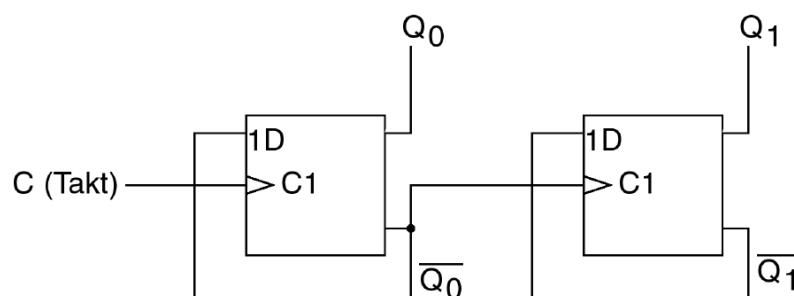
Ergänzen Sie folgende Zustandstabelle eines SR-Latches (das aus NOR-Gattern besteht) in Abhängigkeit von den Eingängen S und R und dem aktuellen Zustand des Latches Q zum Zeitpunkt t_0 . Q^* bezeichnet den stabilen Folgezustand von Q , in welchen das SR-Latch zu einem Zeitpunkt t_1 übergeht, nachdem die entsprechenden Pegel an den Eingängen S und R angelegt wurden. Beachten Sie, dass \bar{Q} in der Tabelle keine Rolle spielt.

S	R	Q	Q^*
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	

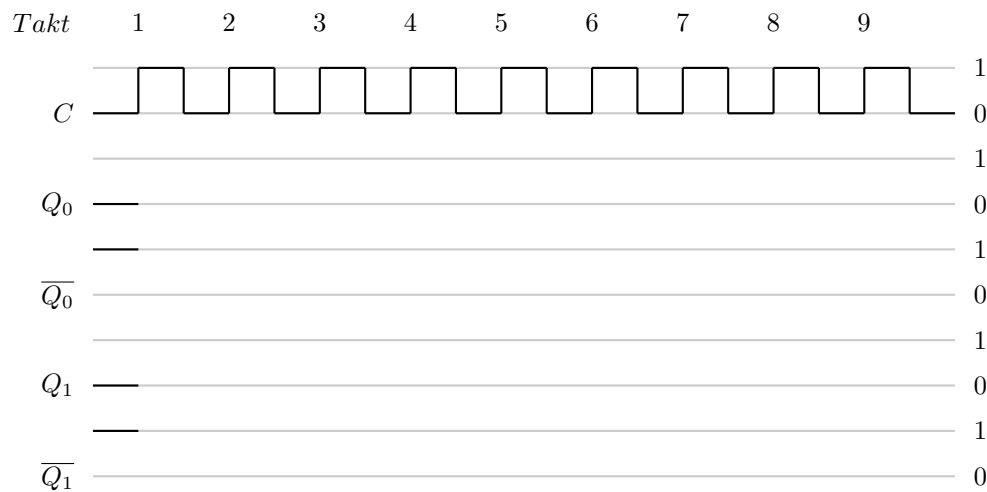
Aufgabe 68: (H) Schaltung mit D-Flipflops

(8 Pkt.)

Betrachten Sie das folgende Schaltbild zwei zusammenschalteter D-Flipflops. Beachten Sie, dass nur an der mit dem Punkt gekennzeichneten Stelle eine Abzweigung vorliegt. Alle anderen Leitungen gehen „gerade durch“ und berühren sich nicht.



- Erklären Sie kurz, welche Eigenschaft ein D-Flipflop von einem SR-Flipflop unterscheidet! Was ist der Vorteil von D-Flipflops?
- Zeichnen Sie den Verlauf der Signale Q_0 , \bar{Q}_0 , Q_1 und \bar{Q}_1 . Vervollständigen sie dazu folgendes Impulsdiagramm! Gehen Sie davon aus, dass ein D-Flipflop bei steigender Flanke schaltet.



- c. Welcher Zusammenhang besteht zwischen der Anzahl der Impulse im Taktsignal (C) und den beiden Ausgängen Q_0 und Q_1 ? Welche Art digitaler Schaltung lässt sich mit diesem Aufbau folglich realisieren?

Aufgabe 69: (H) Einfachauswahlaufgabe: Speicherung

(5 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen („1 aus n“). Nennen Sie dazu in Ihrer Abgabe die jeweils ausgewählte Antwortnummer ((i), (ii), (iii) oder (iv)). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Welche Belegung der beiden Eingänge S (Set) und R (Reset) eines SR-Latch ist unzulässig?			
(i) $S = 0, R = 0$	(ii) $S = 1, R = 0$	(iii) $S = 1, R = 1$	(iv) $S = 0, R = 1$
b) Womit können die beiden NOR-Gatter eines SR-Latch ersetzt werden, um ebenfalls ein äquivalentes Verhalten eines 1-Bit-Speichers zu realisieren?			
(i) AND-Gatter	(ii) NAND-Gatter	(iii) NOT-Gatter	(iv) OR-Gatter
c) Eine Flip-Flop-Schaltung, die das Eingangssignal übernimmt, wenn der Taktgeber von 0 auf 1 übergeht bezeichnet man als...			
(i) flanken-gesteuert.	(ii) nicht gesteuert.	(iii) übersteuert.	(iv) pegelgesteuert.
d) Angenommen aus Kostengründen würden nur NAND-Gatter produziert werden. Wie kann damit die OR-Funktion $(a + b)$ realisiert werden?			
(i) $(a \text{ NAND } b) \text{ NAND } (a \text{ NAND } b)$	(ii) $(a \text{ NAND } a) \text{ NAND } (b \text{ NAND } b)$	(iii) $a \text{ NAND } b$	(iv) $a \text{ NAND } a$
e) Welcher Speichertyp steht in der Speicherhierarchie oberhalb des Caches (d.h. der Zugriff drauf ist schneller als auf den Cache)?			
(i) Hintergrund-speicher	(ii) Bandlaufwerk	(iii) Arbeitsspeicher	(iv) Register