

Übungsblatt 10

Rechnerarchitektur im SoSe 2021

Zu Modul M

Abgabetermin: 20.06.2021 16:00 Uhr

Besprechung: Besprechung der Übungsaufgaben in den Übungsgruppen vom 21. – 25. Juni 2021

Aufgabe 1: (H) Latch- bzw. Flip-Flop-Schaltungen

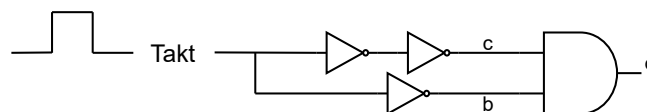
(11 Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Schaltwerke:

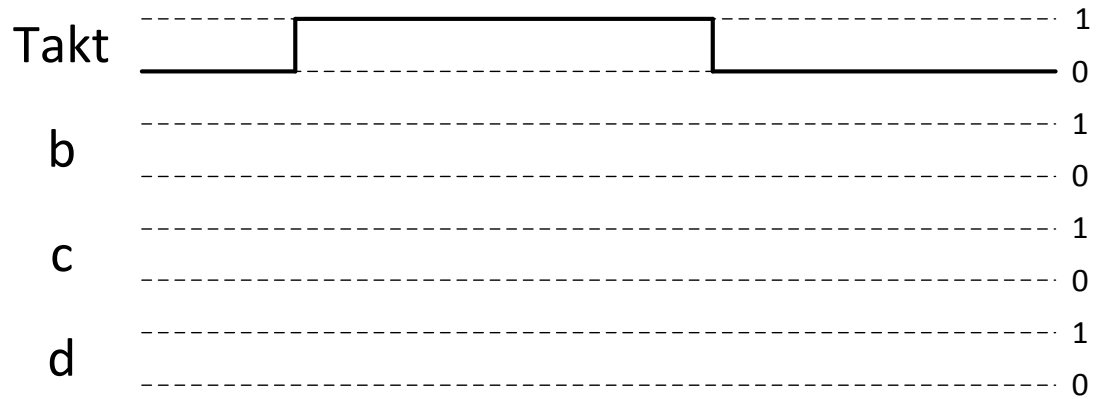
- a. Zeichnen Sie das Schaltnetz eines getakteten SR-Latch, indem Sie folgende Vorlage ergänzen. Verwenden Sie dabei ausschließlich **NOR-Gatter** und Leitungen.



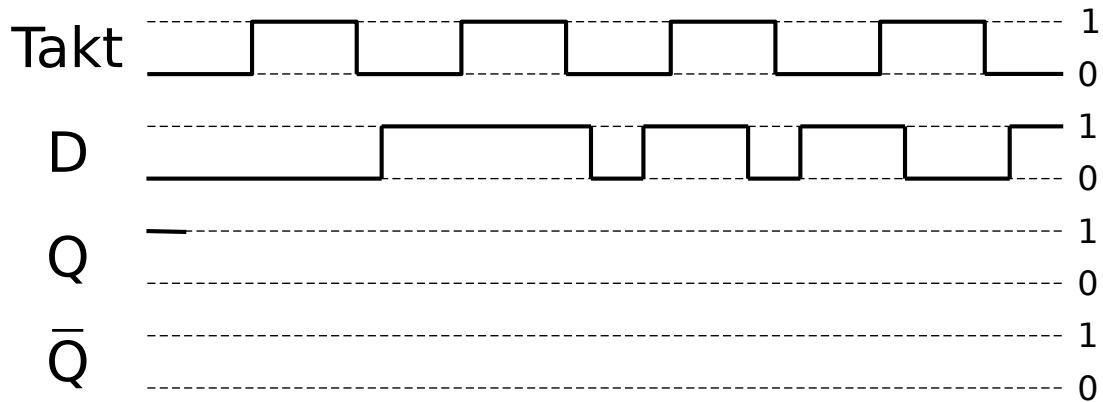
- b. Gegeben sei folgendes Schaltnetz eines Impulsgenerators.



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichneten Takt. Dabei verursacht jedes Gatter eine kurze **aber nicht vernachlässigbare Verzögerung des Signals**. Insbesondere ist die Verzögerung der NOT-Gatter größer als die des AND-Gatters.



- c. Ergänzen Sie nun die folgende Vorlage zum Impulsdiagramm eines D-Flip-Flops mit dem Impulsgenerator aus der vorherigen Teilaufgabe **b**). Das D-Flip-Flop verfügt über die Ausgänge Q und \bar{Q} . Gehen Sie zur Vereinfachung davon aus, dass sich die Pegel von Q und \bar{Q} des Bausteins **ohne Zeitverzögerung** in Abhängigkeit vom Takt und dem Signal D ändern.



Aufgabe 2: (H) Latch-Schaltungen

(6 Pkt.)

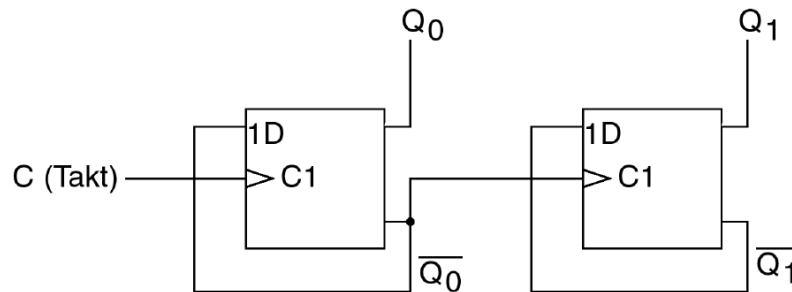
Ergänzen Sie folgende Zustandstabelle eines SR-Latches (das aus NOR-Gattern besteht) in Abhängigkeit von den Eingängen S und R und dem aktuellen Zustand des Latches Q zum Zeitpunkt t_0 . Q^* bezeichnet den stabilen Folgezustand von Q, in welchen das SR-Latch zu einem Zeitpunkt t_1 übergeht, nachdem die entsprechenden Pegel an den Eingängen S und R angelegt wurden. Beachten Sie, dass \bar{Q} in der Tabelle keine Rolle spielt.

S	R	Q	Q*
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	

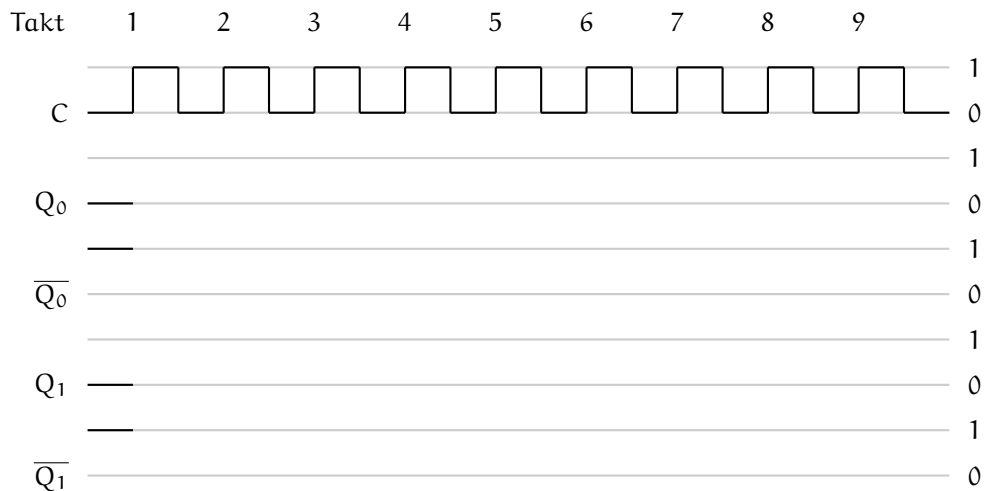
Aufgabe 3: (H) Schaltung mit D-Flipflops

(8 Pkt.)

Betrachten Sie das folgende Schaltbild zwei zusammenschalteter D-Flipflops. Beachten Sie, dass nur an der mit dem Punkt gekennzeichneten Stelle eine Abzweigung vorliegt. Alle anderen Leitungen gehen „gerade durch“ und berühren sich nicht.



- Erklären Sie kurz, welche Eigenschaft ein D-Flipflop von einem SR-Flipflop unterscheidet! Was ist der Vorteil von D-Flipflops?
- Zeichnen Sie den Verlauf der Signale Q_0 , $\overline{Q_0}$, Q_1 und $\overline{Q_1}$. Vervollständigen sie dazu folgendes Impulsdiagramm! Gehen Sie davon aus, dass ein D-Flipflop bei steigender Flanke schaltet.



- Welcher Zusammenhang besteht zwischen der Anzahl der Impulse im Taktsignal (C) und den beiden Ausgängen Q_0 und Q_1 ? Welche Art digitaler Schaltung lässt sich mit diesem Aufbau folglich realisieren?

Aufgabe 4: (H) Einfachauswahlaufgabe: Speicherung

(5 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen („1 aus n“). Nennen Sie dazu in Ihrer Abgabe die jeweils ausgewählte Antwortnummer ((i), (ii), (iii) oder (iv)). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Welche Belegung der beiden Eingänge S (Set) und R (Reset) eines SR-Latch ist unzulässig?			
(i) $S = 0, R = 0$	(ii) $S = 1, R = 0$	(iii) $S = 1, R = 1$	(iv) $S = 0, R = 1$
b) Womit können die beiden NOR-Gatter eines SR-Latch ersetzt werden, um ebenfalls ein äquivalentes Verhalten eines 1-Bit-Speichers zu realisieren?			
(i) AND-Gatter	(ii) NAND-Gatter	(iii) NOT-Gatter	(iv) OR-Gatter
c) Eine Flip-Flop-Schaltung, die das Eingangssignal übernimmt, wenn der Taktgeber von 0 auf 1 übergeht bezeichnet man als...			
(i) flanken-gesteuert.	(ii) nicht gesteuert.	(iii) übersteuert.	(iv) pegelgesteuert.
d) Angenommen aus Kostengründen würden nur NAND-Gatter produziert werden. Wie kann damit die OR-Funktion $(a + b)$ realisiert werden?			
(i) $(a \text{ NAND } b)$ NAND $(a \text{ NAND } b)$	(ii) $(a \text{ NAND } a)$ NAND $(b \text{ NAND } b)$	(iii) $a \text{ NAND } b$	(iv) $a \text{ NAND } a$
e) Welcher Speichertyp steht in der Speicherhierarchie oberhalb des Caches (d.h. der Zugriff drauf ist schneller als auf den Cache)?			
(i) Hintergrund-speicher	(ii) Bandlaufwerk	(iii) Arbeitsspeicher	(iv) Register