

Online-Hausarbeit 6

Rechnerarchitektur im SoSe 2020

Abgabetermin: Geben Sie Ihre Lösung im Uni2Work bis zur Deadline am 14.07.2020, 18:59:00 Uhr, ab! Sollten Sie nachweislich Internetprobleme haben, die eine Abgabe bis 18:59:00 Uhr nicht ermöglichen, so geben Sie bitte bis 23:59:59 Uhr ab und schreiben uns parallel dazu eine E-Mail, wo Sie um eine verlängerte Abgabe bitten und Ihre Umstände erklären.

Bitte fügen Sie die folgende Selbständigkeitserklärung vollständig und unterschrieben Ihrer Abgabe hinzu.

Selbstständigkeitserklärung

Hiermit versichere ich, dass die abgegebene Lösung alleinig durch mich angefertigt wurde und ohne die Hilfe Dritter entstanden ist. Insbesondere habe ich keine Lösungen von Dritten teilweise oder gänzlich abgegeben.

Matrikelnummer, Name

Ort, Datum

Unterschrift

OH12: Addiernetze in arithmetisch-logischen Einheiten

(6 Pkt.)

- Nehmen Sie einen Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 5$ an. Leiten Sie den logischen Ausdruck her, mit dem der ausgehende Übertrag u_{out} bereits vor Abarbeitung des Addiernetzes bestimmt werden kann. Bezeichnen Sie dabei die beiden eingehenden Binärzahlen als $x_4x_3x_2x_1x_0$ und $y_4y_3y_2y_1y_0$ und den eingehenden Übertrag als u_{in} .
- Zeichnen Sie das Schaltnetz für einen Carry-Look-Ahead-Addierer für eine Größe von Bit-Gruppen von $g = 5$. Vorkommende Volladdierer können dabei durch ihr entsprechendes Schaltsymbol dargestellt werden. Hierbei können Sie annehmen, dass AND-Gatter und OR-Gatter zur Verfügung stehen, die mehr als zwei Eingaben gleichzeitig verarbeiten können. Achten Sie darauf, die Verbindung von zwei Leitungen explizit zu kennzeichnen.
- Setzen Sie Ihre Matrikelnummer in folgende Formel ein:

$$z = \left(\left(\frac{\text{Matrikelnummer}}{2} \cdot 10 \right) \bmod 1000 \right) + 25$$

Gehen Sie nun von der Addition zweier Dualzahlen mit der Länge von z -Bit aus. Berechnen Sie die Ausführungsdauer der Addition für Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 5$, d.h. es werden ggf. mehrere Carry-Look-Ahead-Addierer aus den vorhergehenden Aufgabenteilen hintereinander geschaltet. Berechnen Sie zudem die Ausführungsdauer für ein angenommenes Ripple-Carry-Addiernetz, das zwei z -stellige Dualzahlen addieren kann. Nehmen Sie hierbei an, dass ein Volladdierer eine Verzögerung von 70 psec, ein AND-Gatter und OR-Gatter jeweils eine Verzögerung von 10 psec verursachen. AND-Gatter und OR-Gatter mit mehr als zwei Eingängen sollen ebenfalls mit einer Verzögerung von 10 psec veranschlagt werden.

OH13: Schaltung für Predecessor-Funktion

(4 Pkt.)

In dieser Aufgabe sollen Sie das Schaltnetz für eine Binärschaltung entwerfen, welche die Predecessor-Funktion für 2-Bit-Zahlen realisiert.

Sei $i \in \{0, \dots, 3\}$ eine Dezimalzahl und $d(i)$ die zweistellige Dualdarstellung von i . Die Predecessor-Funktion soll die Funktion

$$f_{\text{pred}}(d(i)) = d((i + 3) \bmod 4) \quad \text{mit} \quad f_{\text{pred}} : B^2 \rightarrow B^2$$

realisieren.

Neben zwei Dateneingänge x_0 und x_1 sowie zwei Datenausgänge y_0 und y_1 soll die Schaltung einen Steuereingang p besitzen. Nur wenn gilt $p = 1$ soll die Schaltung den Wert von $f_{\text{pred}}(d(i))$ als Ergebnis an den Datenausgängen liefern. Für $p = 0$ sind die Ausgänge der Schaltung egal und könne beliebig sein (don't-care).

- Stellen Sie zunächst die Funktionstafel für die gewünschte Schaltung auf.
- Oft ist es billiger eine Schaltung aus komplexeren schon existierenden Bausteinen zusammen zu setzen, anstatt sie von Grund auf neu zu konstruieren.

Gehen Sie davon aus, dass Ihnen aus Kostengründen nur Halbaddierer und NOT-Gatter zur Verfügung stehen und konstruieren Sie die Schaltung. Geben Sie an, welche Ausgänge der Schaltung die zwei Datenausgänge y_0 und y_1 repräsentieren.