Ludwig-Maximilians-Universität München
Institut für Informatik
Lehrstuhl für Mobile und Verteilte Systeme
Prof. Dr. Linnhoff-Popien

mobile and distributed systems group

Übungsblatt 9
Rechnerarchitektur im SS 22

Zu dem Modul L

Abgabetermin: 03.07.2022, 18:00 Uhr
Besprechung: T-Aufgaben: 27.06.22 - 01.07.2022, H-Aufgaben: 04.07.22 - 08.07.22

Aufgabe 58: (T) Entwurf eines 4-Bit-Addiernetzes

(- Pkt.)

Es soll systematisch ein Addiernetz entworfen werden, das in der Lage ist, zwei 4-stellige Dualzahlen zu addieren. Dazu wird das Problem aufgespaltet, indem man überlegt, wie eine einzelne Stelle addiert wird.

a. Entwerfen Sie einen Halbaddierer, der in der Lage ist, zwei einstellige Dualzahlen zu addieren.

b. Entwerfen Sie einen Volladdierer, der in der Lage ist, eine beliebige Stelle zweier n-stelliger Dualzahlen zu addieren.

c. Entwerfen Sie nun das Addiernetz, indem Sie Halb- und Volladierer verwenden.

Aufgabe 59: (T) Einfache ALU

(- Pkt.)

Entwerfen Sie eine einfache 1-Bit ALU, die den folgenden Spezifikationen genügt:

a. Operationen: `AND`, `OR`, Addition und Subtraktion.

b. Inputs: Operanden a und b, CarryIn (Übertrag aus einer vorgeschalteten ALU), gewisse Steuerleitungen (z.B. zur Auswahl des Typs der Operation).

c. Outputs: Resultat, CarryOut (Übertrag).

Aufgabe 60: (H) Addiernetze in arithmetisch-logischen Einheiten

(11 Pkt.)

a. Nehmen Sie einen Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$ an. Leiten Sie den logischen Ausdruck her, mit dem der ausgehende Übertrag U_{out} bereits vor Abarbeitung des Addiernetzes bestimmt werden kann. Bezeichnen Sie dabei die beiden eingehenden Binärzahlen als $x_2x_1x_0$ und $y_2y_1y_0$ und den eingehenden Übertrag als U_{in}.

b. Zeichnen Sie das Schaltnetz für einen Carry-Look-Ahead-Addierer für eine Größe von Bit-Gruppen von $g = 3$. Vorkommende Volladdierer können dabei durch ihr entsprechendes Schaltsymbol dargestellt werden. Hierbei können Sie annehmen, dass `AND`-Gatter und `OR`-Gatter zur Verfügung stehen, die mehr als zwei Eingaben gleichzeitig verarbeiten können. Achten Sie darauf, die Verbindung von zwei Leitungen explizit zu kennzeichnen.

c. Gehen Sie nun von der Addition zweier Dualzahlen der Länge 6-Bit aus. Berechnen Sie die Ausführungsdauer der Addition für Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$, d.h. es werden zwei Carry-Look-Ahead-Addierer aus den vorhergehenden Aufgabenteilen hintereinander geschaltet. Berechnen Sie zudem die Ausführungsdauer für ein angenommenes Ripple-Carry-Addiernetz, das zwei 6-stellige Dualzahlen addieren kann. Verwenden Sie für die Berechnung des Ergebnisses ausschließlich Volladdierer (kein Halbaddierer für die erste Stelle) und für die Berechnung des Übertrags die Basisgatter (AND, OR, NOT). Nehmen Sie hierbei an, dass ein Volladdierer eine Verzögerung von 70 psec, ein `AND`-Gatter und `OR`-Gatter jeweils eine Verzögerung von 10 psec verursachen. `AND`-Gatter und `OR`-Gatter mit mehr als zwei Eingängen sollen ebenfalls mit einer Verzögerung von 10 psec veranschlagt werden.

Aufgabe 61: (H) Schaltung für Successor-Funktion

(8 Pkt.)

In dieser Aufgabe sollen Sie das Schaltnetz für eine Binärschaltung entwerfen, welche die Successor-Funktion für 2-Bit-Zahlen realisiert.

Sei $i \in \{0, \ldots, 3\}$ eine Dezimalzahl und $d(i)$ die zweistellige Dualdarstellung von i. Die Successor-Funktion soll die Funktion

$$f_{succ}(d(i)) = d(i+1)\ mod\ 4 \qquad \textbf{mit} \qquad f_{succ} : B^2 \to B^2$$

realisieren.

Neben zwei Dateneingänge x_0 und x_1 sowie zwei Datenausgänge y_0 und y_1 soll die Schaltung einen Steuereingang s besitzen. Nur wenn gilt $s = 1$ soll die Schaltung den Wert von $f_{succ}(d(i))$ als Ergebnis an den Datenausgängen liefern. Für $s = 0$ soll die Schaltung die Dateneingänge unverändert an die Datenausgängen weiterleiten.

a. Stellen Sie zunächst die Funktionstafel für die gewünschte Schaltung auf.

b. Leiten Sie von der Funktionstafel die beiden Schaltfunktionen f_{y_0} und f_{y_1} für die Datenausgänge y_0 und y_1 ab. Minimieren Sie beide Funktion so weit wie möglich.

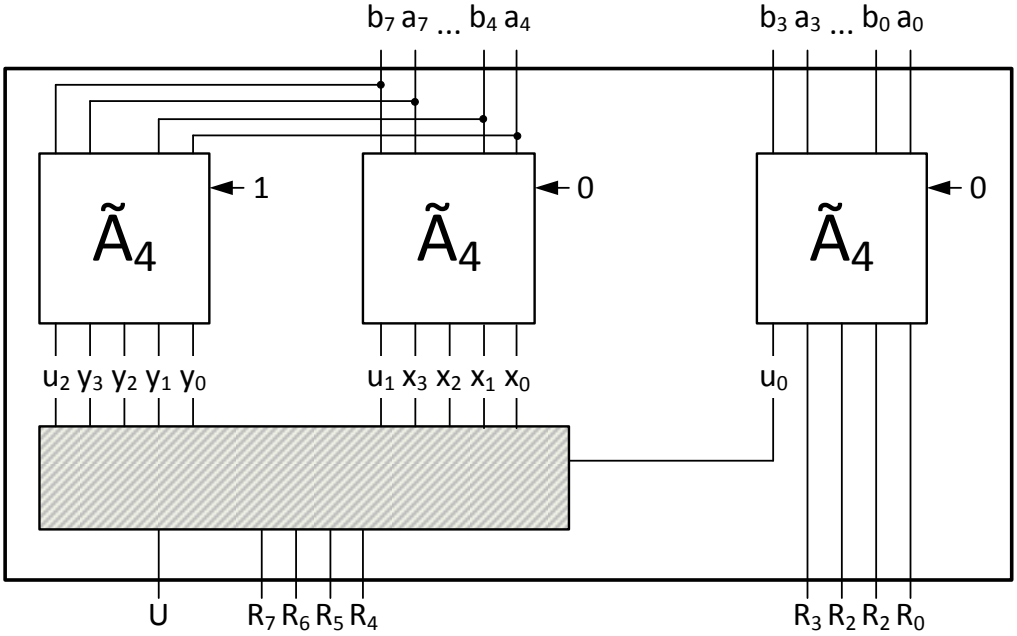
c. Oft ist es billiger eine Schaltung aus komplexeren schon existierenden Bausteinen zusammen zu setzen, anstatt sie von Grund auf neu zu konstruieren.

   Gehen Sie davon aus, dass Ihnen aus Kostengründen nur Halbaddierer zur Verfügung stehen und konstruieren Sie die Schaltung mittels Halbaddierer.

Aufgabe 62: (H) Carry-Select-Addiernetz

(6 Pkt.)

Im Folgenden sehen Sie ein **Carry-Select-Addiernetz**, welches zwei 8–stellige Dualzahlen $a_7a_6a_5a_4a_3a_2a_1a_0$ und $b_7b_6b_5b_4b_3b_2b_1b_0$ addieren kann. Die niedrigwertigen Hälften der Input-Operanden ($a_3a_2a_1a_0$ und $b_3b_2b_1b_0$) werden normal mit einem Addiernetz für 4–stellige Dualzahlen ($\tilde{A}_4$) verarbeitet (mit fest voreingestelltem Übertragseingang = 0). Die obere Hälfte wird dagegen zweimal addiert: Einmal für einen möglicherweise auftretenden Übertrag 0, einmal für einen möglicherweise auftretenden Übertrag 1. Bei der Berechnung entstehen die im großen Rechteck der Zeichnung ersichtlichen Zwischenergebnisse. Steht der Übertrag nach der Berechnung der unteren 4 Stellen fest, müssen die Zwischenergebnisse geeignet selektiert werden. Die Schaltung hierfür verbirgt sich in dem schraffierten Rechteck.
Geben Sie die booleschen Funkionen einzeln für die Ausgänge R_7, R_6, R_5, R_4 sowie des abschließenden Übertrages U an, die sich aus den Zwischenergebnissen $x_3, x_2, x_1, x_0, y_3, y_2, y_1, y_0$ sowie u_2, u_1, u_0 ergeben.



Aufgabe 63: (H) Einfachauswahlaufgabe: Zahlendarstellung

(5 Pkt.)

Für jede der folgenden Fragen ist eine korrekte Antwort auszuwählen („1 aus n“). Eine korrekte Antwort ergibt jeweils einen Punkt. Mehrfache Antworten oder eine falsche Antwort werden mit 0 Punkten bewertet.

a) Wie lautet das dezimale Ergebnis der Addition der folgenden in Zweierkomplementdarstellung gegebenen Binärzahlen?

	10110001
+	00110100
Übertrag	
Ergebnis	

(i) −93	(ii) −27	(iii) 32	(iv) 67

b) Um wie viele Stellen verschiebt sich das Komma der normalisierten Mantisse einer 32 Bit IEEE 754 Gleitkommazahl, wenn der Exponent 10110011 lautet?

(i) 3	(ii) 17	(iii) 31	(iv) 52

c) Durch welche der folgenden Booleschen Funktionen wird ein Halbaddierer mit den Eingängen x und y und den Ausgängen R (Resultat) und Ü (Übertrag) realisiert?

(i) $R = xy + \overline{x}\,\overline{y}$ $= x + y$	(ii) $R = \overline{(\overline{x}y)} + \overline{(x\overline{y})}$ $= \overline{(\overline{x}\,\overline{y})}$	(iii) $R = xy$ $= \overline{x}\overline{y}$	(iv) $R = \overline{(\overline{x}+y)} + \overline{(x+\overline{y})}$ $= \overline{(\overline{x}+\overline{y})}$

d) Ein Volladdierer (Addition zweier Binärziffern und eines Übertrags) lässt sich mit...

(i) ...zwei Halbaddierern realisieren.	(ii) ...zwei Halbaddierern und einem OR-Gatter realisieren.	(iii) ...zwei Halbaddierern und einem AND-Gatter realisieren.	(iv) ...zwei Halbaddierern und einem NOT-Gatter realisieren.

e) Wie bezeichnet man ein Addiernetz, bei welchem z.B. bei der Addition einer 8-stelligen Dualzahl die 4 höherwertigen Input-Operanden zweimal addiert werden und zwar für den Fall, dass bei der Addition der niederwertigen Hälfte der Input-Operanden ein Übertrag auftritt oder nicht, um damit die Berechnungszeit der Gesamtaddition zu verkürzen?

(i) Ripple-Carry	(ii) Carry-Look-Ahead	(iii) Carry-Select	(iv) Carry-Save